



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0006824
Application Number

출원 년 월 일 : 2003년 02월 04일
Date of Application FEB 04, 2003

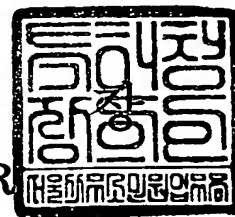
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 11 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0146
【제출일자】	2003.02.04
【발명의 명칭】	비휘발성 메모리 장치 제조 방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING NON-VOLATILE MEMORY DEVICES
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	1999-068046-1
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	1999-068052-0
【발명자】	
【성명의 국문표기】	고관주
【성명의 영문표기】	KOH, Kwan Ju
【주민등록번호】	691123-1622428
【우편번호】	420-729
【주소】	경기도 부천시 원미구 중4동 금강마을 407-101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)
【수수료】	
【기본출원료】	9 면 29,000 원
【가산출원료】	0 면 0 원



1020030006824

출력 일자: 2003/11/19

【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	330,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 비휘발성 메모리 장치(non-volatile memory devices) 중에 플래시 메모리 장치(flash memory devices)를 제조하는 방법에 관한 것이다. 본 발명은 플래시 메모리로 작용할 실리콘 기판(10)에 웰(well)(14) 및 채널(channel)을 먼저 형성시킨 후 터널 산화막(tunnel oxide)(16), 제 1 폴리실리콘(polysilicon)(18), 및 나이트라이드(nitride)(20)를 순차적으로 증착한 후 이를 마스크(mask)로 트렌치 식각(trench etch)함으로써 자기정렬 플래시 메모리(self-align flash memory)를 형성하게 된다.

【대표도】

도 1g

【색인어】

비휘발성, 메모리, ONO

【명세서】**【발명의 명칭】**

비휘발성 메모리 장치 제조 방법 {METHOD FOR MANUFACTURING NON-VOLATILE MEMORY DEVICES}

【도면의 간단한 설명】

도 1a 내지 도 1g는 본 발명에 따른 비휘발성 메모리 장치 제조 방법의 일 실시예를 공정별로 나타낸 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<2> 본 발명은 비휘발성 메모리 장치(non-volatile memory devices) 제조 방법에 관한 것으로, 특히, 비휘발성 메모리 장치 중에 플래시 메모리 장치(flash memory devices)를 제조하는 방법에 관한 것이다.

<3> 일반적으로 반도체 메모리 장치는 크게 휘발성 메모리와 비휘발성 메모리로 구분된다. 휘발성 메모리의 대부분은 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 RAM이 차지하고 있으며, 전원 인가시 데이터의 입력 및 보존이 가능하지만, 전원 제거시 데이터가 휘발되어 보존이 불가능한 특징을 가진다. 반면에, ROM(Read Only Memory)이 대부분을 차지하고 있는 비휘발성 메모리는 전원이 인가되지 않아도 데이터가 보존되는 특징을 가진다.



- <4> 현재, 공정기술 측면에서 비휘발성 메모리 장치는 플로팅 게이트(floating gate) 계열과 두 종류 이상의 유전막이 2중, 혹은 3중으로 적층된 MIS(Metal Insulator Semiconductor) 계열로 구분된다.
- <5> 플로팅 게이트 계열의 메모리 장치는 전위 우물(potential well)을 이용하여 기억 특성을 구현하며, 현재 플래시 EEPROM(Electrically Erasable Programmable Read Only Memory)으로 가장 널리 응용되고 있는 ETOX(EPROM Tunnel Oxide) 구조가 대표적이다.
- <6> 반면에 MIS 계열은 유전막 벌크, 유전막-유전막 계면 및 유전막-반도체 계면에 존재하는 트랩(trap)을 이용하여 기억 기능을 수행한다. 현재 플래시 EEPROM으로 주로 응용되고 있는 MONOS/SONOS(Metal/Silicon ONO Semiconductor)구조가 대표적인 예이다.
- <7> 기술이 발전함에 따라 SOC(System on Chip) 기술을 필요로 하고 최근에는 그 중요성이 크게 대두되고 있다. SOC란 한 칩내에서 여러가지 기능을 할 수 있는, 즉 기본적인 "Logic, Sonos, Flasys" 등의 기술을 말한다. 하지만 이러한 기술을 얻기 위해서는 공정이 복잡하게 이루어 진다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <8> 본 발명은 상술한 결점을 해결하기 위하여 안출한 것으로, 자기정렬 플래시 메모리 (self-align flash memory)를 제조하기에 적합한 비휘발성 메모리 장치 제조 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

- <9> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하면 다음과 같다.

- <10> 도 1a 내지 도 1g는 본 발명에 따른 비휘발성 메모리 장치 제조 방법의 일 실시예를 공정별로 나타낸 단면도이다.
- <11> 먼저, 도 1a 및 도 1b와 같이 실리콘 기판(10)의 전표면에 산화막(12)을 형성한다. 웰 임플란트(well implant) 및 채널 임플란트(channel implant)를 수행하여 기판(10)의 상측에 웰(14)을 형성하고 기판(10)의 표면에는 채널을 형성한다. 습식 식각하여 산화막(12)을 제거한다. 상기 임플란트 수행 시 붕소(boron)와 포스퍼러스(phosphorous)를 사용한다.
- <12> 도 1c와 같이 전표면에 터널 산화막(tunnel oxide)(16), 제 1 폴리실리콘(polysilicon)(18), 및 나이트라이드(nitride)(20)를 차례로 적층한다.
- <13> 도 1d와 같이 적절한 CD에 맞는 STI(Shallow Trench Isolation) 영역의 나이트라이드(20)부터 기판(10)의 일정 깊이까지를 제거한다. 이때 CD에 따라 하이 테크놀로지(high technology)인 0.15/0.13의 플래시 메모리 구현도 가능하다.
- <14> 도 1e와 같이 전표면에 TEOS(Tetra Ethyl Ortho Silicate)(22)를 증착한다.
- <15> 도 1f와 같이 나이트라이드(20)를 엔드포인트(endpoint)로 하는 화학적 기계적 연마(CMP)를 실시한다. 습식 식각하여 나이트라이드(20)를 제거하여 TEOS(22)가 돌출되도록 한다.
- <16> 도 1g와 같이 전표면에 ONO(Oxide Nitride Oxide)(24)를 증착한다. 전표면에 제 2 폴리실리콘(26)을 증착한다.
- <17> 한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주 내에서 당업자에 의해 여러 가지 변형이 가능하다.

**【발명의 효과】**

<18> 이상에서 설명한 바와 같이, 본 발명은 플래시 메모리로 작용할 실리콘 기판(10)에 웰(14) 및 채널을 먼저 형성시킨 후 터널 산화막(16), 제 1 폴리실리콘(18), 및 나이트라이드(20)를 순차적으로 증착한 후 이를 마스크(mask)로 트렌치 식각(trench etch)함으로써 자기정렬 플래시 메모리를 형성하게 된다.

【특허청구범위】**【청구항 1】**

기판의 전표면에 산화막을 형성하는 제 1 단계;

웰 임플란트 및 채널 임플란트를 수행하여 상기 기판의 상측에 웰을 형성하고 상기 기판의 표면에는 채널을 형성하는 제 2 단계;

상기 산화막을 제거하는 제 3 단계;

전표면에 터널 산화막, 제 1 폴리실리콘, 및 나이트라이드를 차례로 적층하는 제 4 단계;

STI 영역의 상기 나이트라이드부터 상기 기판의 일정 깊이까지를 제거하는 제 5 단계;

전표면에 TEOS를 형성하는 제 6 단계;

상기 나이트라이드를 엔드포인트로 하는 연마를 실시하는 제 7 단계;

상기 나이트라이드를 제거하여 상기 TEOS가 돌출되도록 하는 제 8 단계; 및

전표면에 ONO 및 제 2 폴리실리콘을 차례로 적층하는 제 9 단계를 포함하는 비휘발성 메모리 장치 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 기판은 실리콘 기판인 비휘발성 메모리 장치 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 임플란트 수행 시 붕소와 포스퍼러스를 사용하는 비휘발성 메모리 장치 제조 방법.

【청구항 4】

제 1 항에 있어서, 상기 제 3 단계의 상기 산화막은 습식 식각에 의해 제거하는 비휘발성 메모리 장치 제조 방법.

【청구항 5】

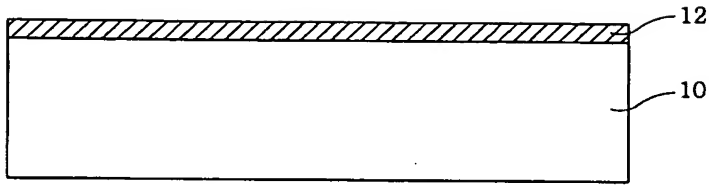
제 1 항에 있어서, 상기 연마는 화학적 기계적 연마인 비휘발성 메모리 장치 제조 방법.

【청구항 6】

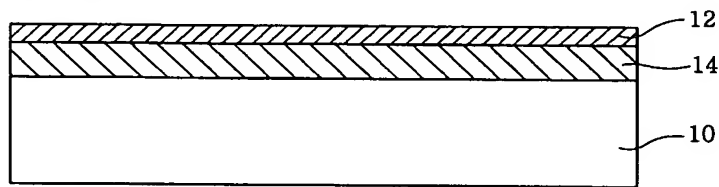
제 1 항에 있어서, 상기 제 8 단계의 상기 나이트라이드 제거는 습식 식각으로 수행되는 비휘발성 메모리 장치 제조 방법.

【도면】

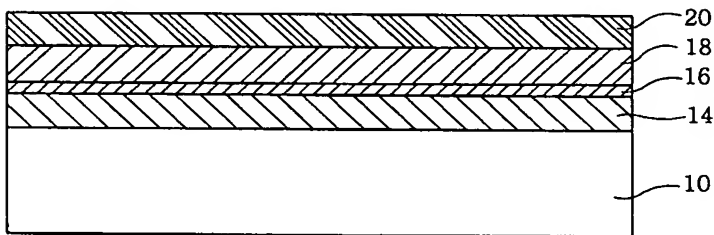
【도 1a】



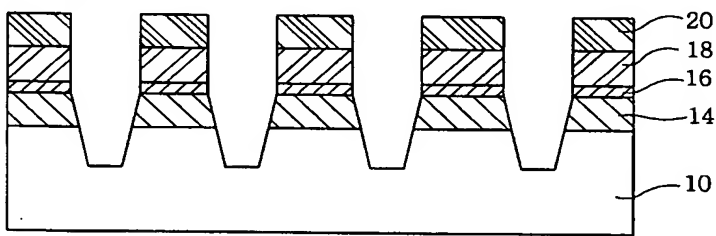
【도 1b】



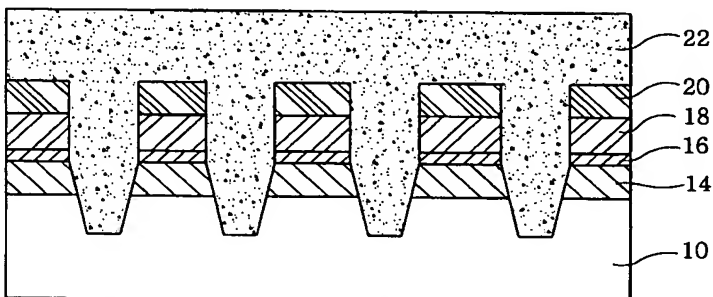
【도 1c】



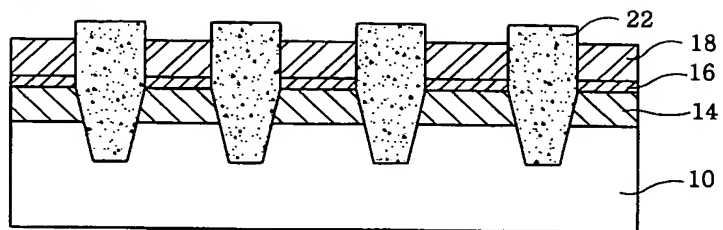
【도 1d】



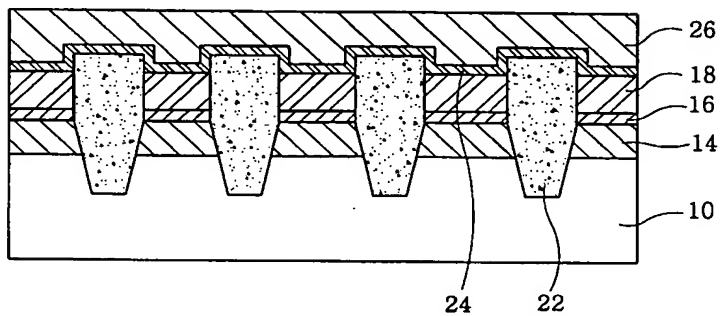
【도 1e】



【도 1f】



【도 1g】



BEST AVAILABLE COPY